



PATENT
450100-03272

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Kazuhiko TERASHIMA et al.
Serial No. : 09/875,306
Filed : June 5, 2001
For : SYNCHRONICITY DETECTION DEVICE
Art Unit : 2631

745 Fifth Avenue
New York, New York 10151
Tel. (212) 588-0800

I hereby certify that this correspondence is being
deposited with the United States Postal Service as
first class mail in an envelope addressed to:
Assistant Commissioner for Patents
Washington, D.C. 20231, on September 7, 2001

Glenn F. Savit, Reg. No. 37,437

Name of Applicant, Assignee or
Registered Representative

Signature

September 7, 2001

Date of Signature

CLAIM OF PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

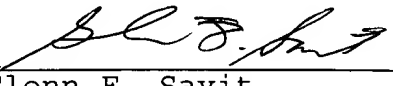
In support of the claim of priority under 35. U.S.C.
§ 119 asserted in the Declaration accompanying the above-entitled
application, as filed, please find enclosed herewith a certified
copy of Japanese Application No. 2000-169377, filed in Japan on 6
June 2000 forming the basis for such claim.

PATENT
450100-03272

Acknowledgment of the claim of priority and of the
receipt of said certified copy(s) is requested.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By: 
Glenn F. Savit
Reg. No. 37,437
Tel. (212) 588-0800

Enclosure(s)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月 6日

出 願 番 号

Application Number:

特願2000-169377

出 願 人

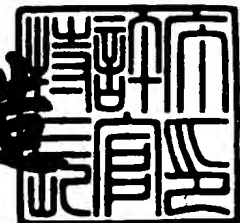
Applicant(s):

ソニー株式会社

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3038399

【書類名】 特許願

【整理番号】 9900977101

【提出日】 平成12年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/707

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

 【氏名】 寺島 一彦

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

 【氏名】 内藤 将彦

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100080883

 【弁理士】

 【氏名又は名称】 松隈 秀盛

 【電話番号】 03-3343-5821

【手数料の表示】

 【予納台帳番号】 012645

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9707386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期検出装置

【特許請求の範囲】

【請求項 1】 受信信号に含まれる既知の所定長の拡散コードのタイミングを検出する同期検出装置において、

上記所定長の拡散コードのレプリカコードを、所定の幅の時間毎に位相を進めながら分割して生成させる相関係数発生手段と、

上記相関係数発生手段により発生されたレプリカコードと、上記受信信号との相関値の検出を、上記所定の幅の時間毎に行うマッチドフィルタとを備えた

同期検出装置。

【請求項 2】 請求項 1 記載の同期検出装置において、

上記マッチドフィルタで検出された相関値を、上記所定の幅の時間で周期的に加算して保持する記憶手段を備えて、

上記記憶手段の記憶データから相関エネルギーを検出する

同期検出装置。

【請求項 3】 請求項 1 記載の同期検出装置において、

上記マッチドフィルタの出力を、上記所定の時間遅延させ、その遅延させた信号と上記マッチドフィルタの出力とを加算する加算手段を備えて、

上記加算手段により加算された信号から相関値を検出する

同期検出装置。

【請求項 4】 請求項 1 記載の同期検出装置において、

上記相関係数発生手段は、初期値を与えることで、その初期値からの擬似ランダム系列を生成させる擬似ランダム系列生成手段を備えて、

上記擬似ランダム系列生成手段で生成された擬似ランダム系列を上記レプリカコードとして供給する

同期検出装置。

【請求項 5】 請求項 1 記載の同期検出装置において、

上記相関係数発生手段は、

所定の擬似ランダム系列を生成させるレジスタと、

上記レジスタにより生成された擬似ランダム系列を、所定の演算により位相シフトさせる演算手段とを備えて、

上記レジスタが出力する擬似ランダム系列及び演算手段が出力する位相シフトされた擬似ランダム系列を上記レプリカコードとして供給する

同期検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、通信端末装置における同期検出装置に関し、特にCDMA (Code Division Multiple Access: 符号分割多元接続) 方式によるセルラ無線通信システムに適用して好適な同期検出装置に関する。

【0002】

【従来の技術】

CDMA方式は、拡散符号を用いた多重化方式であり、次世代移動体通信方式の無線アクセス方式の1つとして、セルラ無線通信システムへの適用が検討され、また一部のシステムは既に実用化されている。セルラ無線通信システムにおいては、通信サービスを提供するエリアを所望の大きさのセルに分割して、各セル内にそれぞれ固定局としての基地局を設置し、移動局である通信端末装置は通信状態が最も良好であると思われる基地局と無線接続するようになされている。

【0003】

図9は、このようなセルラ無線通信システムの構成例を示した図であり、複数の基地局B1～B7を所定の間隔で配置して、各基地局B1～B7の配置でセルC1～C7が構成される。ここで、セルC1のエリア内にいる携帯電話機M1は、基地局B1と無線通信で接続される。

【0004】

このようなセルラ無線通信システムにおいて、移動局が接続する基地局を探すことは、一般にセルサーチと呼ばれている。CDMA方式のセルラ無線通信システムでは、各基地局が同一周波数を使用するため、このセルサーチを行う際には、受信信号に含まれる拡散コードのタイミングを捕捉する必要がある。

【 0 0 0 5 】

C D M A 方式で拡散コードを捕捉する処理としては、例えばマッチドフィルタを用いた同期検出装置を使用する。図 1 0 は、従来のマッチドフィルタを用いた同期検出装置の一例を示した構成図である。入力端子 9 0 1 に得られる受信信号を、混合器 9 0 2, 9 0 3 に供給して、搬送波発生器 9 0 4 が出力する搬送波を混合器 9 0 2 で受信出力に混合すると共に、搬送波発生器 9 0 4 が出力する搬送波を $\pi/2$ 移相器 9 0 5 で $\pi/2$ 位相シフトさせた後、混合器 9 0 5 で受信出力に混合して、受信信号に含まれる同相成分及び直交成分の検波を行う。

【 0 0 0 6 】

検波された同相成分及び直交成分は、アナログ／デジタル変換器 9 0 6 及び 9 0 7 に供給して、デジタルデータ化された同相成分 D_i 及び直交成分 D_q を得、それぞれのデータ D_i 及び D_q を、バンドパスフィルタ 9 0 8 及び 9 0 9 を介してマッチドフィルタ 9 1 0 及び 9 1 1 に供給する。

【 0 0 0 7 】

マッチドフィルタ 9 1 0 及び 9 1 1 は、所定の拡散コードで拡散された C D M A 方式の受信データとの相関を検出するための回路であり、相関係数発生器 9 1 2 から供給される同相成分、直交成分の拡散コードのレプリカ C_i, C_q を、各マッチドフィルタ 9 1 0 及び 9 1 1 に供給する。そして、マッチドフィルタ 9 1 0 で、受信データ D_i とレプリカコード C_i との相関値 $\sum^m D_i C_i$ と、受信データ D_i とレプリカコード C_q との相関値 $\sum^m D_i C_q$ とを得る。また、マッチドフィルタ 9 1 1 で、受信データ D_q とレプリカコード C_i との相関値 $\sum^m D_q C_i$ と、受信データ D_q とレプリカコード C_q との相関値 $\sum^m D_q C_q$ とを得る。

【 0 0 0 8 】

マッチドフィルタ 9 1 0 が出力する相関値 $\sum^m D_i C_i$ と、マッチドフィルタ 9 1 1 が出力する相関値 $\sum^m D_q C_q$ とは、加算器 9 1 4 に供給して、両相関値の加算値 ($\sum^m D_i C_i + \sum^m D_q C_q$) を得る。この加算値が同相成分の逆拡散出力となる。この逆拡散出力は、二乗回路 9 1 6 に供給して実数化し、加算器 9 1 8 に供給する。

【 0 0 0 9 】

マッチドフィルタ 9 1 0 が出力する相関値 $\Sigma^m D_i C_q$ と、マッチドフィルタ 9 1 1 が出力する相関値 $\Sigma^m D_q C_i$ とは、減算器 9 1 5 に供給して、両相関値の差の値 ($\Sigma^m D_q C_i - \Sigma^m D_i C_q$) を得る。この差の値が直交成分の逆拡散出力となる。この逆拡散出力は、二乗回路 9 1 7 に供給して実数化し、加算器 9 1 8 に供給する。

【 0 0 1 0 】

加算器 9 1 8 では、供給される両信号を加算して 1 系統の信号として、相関エネルギー E が求められる。マッチドフィルタの構成については、後述する実施の形態の中で詳細に説明するが、受信データを所定段数のシフトレジスタにセットし、受信データに含まれていると予想されるレプリカコードと、シフトレジスタにセットされている受信データとの乗算を行い、受信データが拡散されていたコードとレプリカコードとが一致したとき、相関出力として極大値が得られるものである。従って、受信データが拡散されていたコードとレプリカコードとが一致したとき、最終的に出力される相関エネルギー E が極大値を示すことになり、この極大値を示すタイミングから、受信データを逆拡散するタイミングを得ることができるものである。

【 0 0 1 1 】

図 1 1 は、図 1 0 に示す同期検出装置で相関検出を行う状態の一例を示した図である。この例では、検出装置内のマッチドフィルタが備えるシフトレジスタの段数を m としたとき、相関加算チップ数が m となり、サーチ可能範囲が $m \times n$ チップとなる。マッチドフィルタ内のシフトレジスタの状態としては、図 1 1 A に示すように 1 チップずつ進んで行き、マッチドフィルタに入力される m ビットの相関係数（即ち相関係数発生器の出力）としては、図 1 1 B に示すように、常に同じデータである。

【 0 0 1 2 】

従って、マッチドフィルタの出力（図 1 1 C）としては、サーチ可能範囲内で 1 チップずつ変化する。そして、その出力である相関エネルギーを、図 1 1 D に示すように、1 チップずつメモリの異なるアドレスに書き込ませることで、その

メモリに書込まれる値についても、図 1 1 E に示すように、1 チップずつ変化する。ここで、あるタイミングでマッチドフィルタにセットされる値 $MFD(t)$ と、相関係数発生器の出力 $MFC(t)$ とが一致したとき、そのときのマッチドフィルタの出力 $OUT(t)$ が、サーチ可能範囲での最大値となり、そのタイミングが基準となるタイミングとして検出される。この最大値となるタイミングは、拡散コードの 1 周期に 1 回しか存在しない。

【0013】

【発明が解決しようとする課題】

上述したマッチドフィルタを用いた同期検出装置の場合には、マッチドフィルタのシフトレジスタの段数に相当するチップ数を加算した相関出力しか求めることができない。長い周期の擬似雑音符号を用いた拡散コードのタイミングを得る場合には、拡散コードの一部のみを用いての相関エネルギーを検出することになるが、拡散コードの 1 周期に 1 回しか相関エネルギーの極大値が得られない。

【0014】

また、CDMA 方式の受信機では、スライディング相関器を用いた同期検出装置を使用する場合もある。このスライディング相関器を用いた同期検出装置の場合には、マッチドフィルタを使用した場合と比較して、少ない回路規模で多くのチップ数を加算した相関検出を得ることができる。しかし、拡散コードの 1 つのタイミングに対する相関出力を求めるために必要な時間が、マッチドフィルタは拡散コード 1 チップ分の時間で良いのに対して、スライディング相関器の場合には、相関を求めるための加算チップ数を M とすると、 M チップ分の時間がかかってしまう。このため、時間的に広い範囲のタイミングに対する相関出力を求めて比較するためには、スライディング相関器では時間がかかりすぎて好ましくない。

【0015】

本発明の目的は、マッチドフィルタを用いて相関検出を行う場合に、拡散コードの 1 周期内で複数回相関を検出できるようにすることにある。

【0016】

【課題を解決するための手段】

本発明は、受信信号に含まれる既知の所定長の拡散コードのタイミングを検出する同期検出装置において、所定長の拡散コードのレプリカコードを、所定の幅の時間毎に位相を進めながら分割して生成させる相関係数発生手段と、相関係数発生手段により発生されたレプリカコードと受信信号との相関値の検出を所定の幅の時間毎に行うマッチドフィルタとを備えたものである。

【0017】

このようにしたことで、拡散コードの1周期内の所定の幅の時間毎に受信信号とレプリカコードとの相関値の検出が行え、拡散コードの1周期内で複数回相関を検出できるようになる。

【0018】

【発明の実施の形態】

以下、図1～図7を参照して、本発明の第1の実施の形態を説明する。

【0019】

本例においては、所定の拡散コードで拡散されたデータが基地局から伝送されるCDMA方式の無線伝送システムに適用される受信端末装置において、その拡散コードのタイミングを検出する同期検出を行う同期検出装置としたものである。なお、本例の場合には、基地局毎に伝送されるデータを拡散する拡散コードが異なるものとしてあり、本例の同期検出装置では既に送出局（基地局）から出力されるデータの拡散コードは判っているものとする。また、その拡散コードのある程度の位相範囲（即ち同期タイミングが存在する範囲）は、別の処理で推定できているものとする。そして本例の同期検出装置では、そのある程度の範囲まで推定された同期タイミングから、さらに正確な同期タイミングを検出する処理を行う。

【0020】

図1は、本例の同期検出装置の構成を示す図である。入力端子101には、所定のチャンネル（周波数）の受信信号を検波しデジタル化した同相成分のデータ D_i が得られ、入力端子102には、同じチャンネルの直交成分のデータ D_q が得られる。このデータ D_i 及び D_q をマッチドフィルタ103及び104に供給する。

【0021】

マッチドフィルタ103及び104は、所定の拡散コードで拡散されたCDMA方式の受信データとの相関を検出するための回路であり、相関係数発生器130から供給される同相成分、直交成分の拡散コードのレプリカ C_i 、 C_q を、各マッチドフィルタ103及び104に供給する。ここで本例のマッチドフィルタ103及び104は、拡散コードの周期を T とすると、マッチドフィルタ103、104が備えるシフトレジスタの段数 m よりも周期 T が大きな値としてある。具体的には、例えば周期 T を38400チップ、シフトレジスタの段数 m を256とする。

【0022】

そして、相関係数発生器130で生成されて供給されるレプリカ C_i 、 C_q については、クロックが m 回発生する毎（即ち m チップ進む毎）に、 m チップ位相進めたものに順に変化させるようにしてある。その具体的な処理については後述する。なお、以下の説明では、1周期と述べたとき、拡散コードの1周期を示し、その1周期の期間内でクロックが m 回発生する期間を、1単位の期間と称する。

【0023】

そして、マッチドフィルタ103で、受信データ D_i とレプリカコード C_i との相関値 $\sum^m D_i C_i$ と、受信データ D_i とレプリカコード C_q との相関値 $\sum^m D_i C_q$ とを得る。また、マッチドフィルタ104で、受信データ D_q とレプリカコード C_i との相関値 $\sum^m D_q C_i$ と、受信データ D_q とレプリカコード C_q との相関値 $\sum^m D_q C_q$ とを得る。

【0024】

マッチドフィルタ103が出力する相関値 $\sum^m D_i C_i$ と、マッチドフィルタ104が出力する相関値 $\sum^m D_q C_q$ とは、加算器105に供給して、両相関値の加算値（ $\sum^m D_i C_i + \sum^m D_q C_q$ ）を得る。この加算値が同相成分の逆拡散出力となる。この逆拡散出力は、二乗回路107に供給して実数化し、加算器109に供給する。

【0025】

マッチドフィルタ 1 0 3 が出力する相関値 $\Sigma^m D_i C_q$ と、マッチドフィルタ 1 0 4 が出力する相関値 $\Sigma^m D_q C_i$ とは、減算器 1 0 6 に供給して、両相関値の差の値 ($\Sigma^m D_q C_i - \Sigma^m D_i C_q$) を得る。この差の値が直交成分の逆拡散出力となる。この逆拡散出力は、二乗回路 1 0 8 に供給して実数化し、加算器 1 0 9 に供給する。

【0 0 2 6】

加算器 1 0 9 では、供給される両信号を加算して 1 系統の信号として、相関エネルギー E_m が求められる。この加算器 1 0 9 が出力する相関エネルギー E_m を、周期加算部 1 1 0 に供給する。周期加算部 1 1 0 は、加算器 1 1 1 とメモリ 1 1 2 とで構成される回路であり、加算器 1 0 9 から供給される相関エネルギー E_m のデータを、加算器 1 1 1 に供給し、この加算器 1 1 1 でメモリ 1 1 2 の出力と加算し、加算出力をメモリ 1 1 2 に書込ませる。このメモリ 1 1 2 は、クロックが m 回発生する期間が経過すると、書込まれたデータが読み出されて加算器 1 1 1 に供給されるもので、結果的にクロックが m 回発生する期間を 1 周期として累積的に加算される回路として機能する。

【0 0 2 7】

このメモリ 1 1 2 に累積加算された各アドレスの値は、この同期検出装置の同期検出動作を制御するコントローラ 1 2 0 により読み出されて判断される。相関係数発生器 1 3 0 で拡散コードのレプリカを発生させる位相についても、このコントローラ 1 2 0 により制御される。

【0 0 2 8】

図 2 は、本例の相関検出発生器 1 3 0 の構成例を示す図である。入力端子 1 3 1 には、拡散コードのレプリカを発生させるための初期値 $CDE D_{init}$ が得られ、この初期値 $CDE D_{init}$ を、切換スイッチ 1 4 0 の第 1 の固定接点 1 4 1 に供給する。初期値 $CDE D_{init}$ は、受信する基地局毎に設定される拡散コードの最初の 1 単位の値を生成させるための長さ L_{reg} のビット数（ここでは 9 ビット）のコードであり、例えばコントローラ 1 2 0 が設定する。

【0 0 2 9】

拡散コードの各周期の最初の 1 単位の期間では、切換スイッチ 1 4 0 は第 1 の

固定接点 1 4 1 と接続状態にあり、入力端子 1 3 1 に得られる初期値は、切換スイッチ 1 4 0 を介して P N デコーダ 1 3 2 及びデータデコーダ 1 3 3 に供給される。P N デコーダ 1 3 2 は、供給されるデータに基づいて擬似ランダム系列である P N (Pseudo Noise) 符号を発生させるデコーダである。ここでは、同相成分用の P N 符号と、直交成分用の P N 符号との 2 系統の P N 符号を生成させて、それぞれの P N 符号を拡散コードのレプリカとして、上述した 2 つのマッチドフィルタ 1 0 3, 1 0 4 に供給する。

【 0 0 3 0 】

データデコーダ 1 3 3 は、切換スイッチ 1 4 0 を介して供給される初期値に基づいて、次の 1 単位の P N 符号を生成させるための値 C D E D 1 を生成させて、その生成された値を、ラッチ回路 1 3 4 にラッチさせる。ラッチ回路 1 3 4 では、クロック C L K 1 が供給されてラッチ動作が行われる。このラッチ動作は、例えばクロック C L K 1 が所定回数（ここでは m 回）供給される毎に供給されるデータのラッチ動作を繰り返す。ラッチ回路 1 3 4 に保持された値は、切換スイッチ 1 4 0 の第 2 の固定接点 1 4 2 に供給する。拡散コードの各周期の最初の 1 単位以外の期間では、切換スイッチ 1 4 0 は第 2 の固定接点 1 4 2 と接続状態にあり、ラッチ回路 1 3 4 にラッチされたデータが、切換スイッチ 1 4 0 を介して P N デコーダ 1 3 2 に供給されて、次の 1 単位の P N 符号が生成されると共に、データデコーダ 1 3 3 にも戻されて、次の 1 単位の P N 符号を生成させるための初期値 C D E D_{init}' が生成される。

【 0 0 3 1 】

なお、本例の相関検出發生器 1 3 0 では、拡散コードの 1 周期が経過すると、切換スイッチ 1 4 0 を第 1 の固定接点 1 4 1 側に戻して、初期値を C D E D_{init} を再度入力させる処理を繰り返す。相関検出發生器 1 3 0 での拡散コードのレプリカの発生タイミングについては、この同期検出装置の検出同期を制御するコントローラ 1 2 0 により設定される。

【 0 0 3 2 】

ここで、P N デコーダ 1 3 2 の構成について説明する。図 3 は、P N デコーダの一般的な構成例（本例の P N デコーダ 1 3 2 の構成ではない）を示したもので

ある。この図3に示したPNデコーダを参照してPN符号が発生される原理について説明すると、この例では9段のシフトレジスタD0～D8と、Ex-OR（エクスクルーシブオア）ゲート回路132aとで構成されており、シフトレジスタD0の出力をPN符号出力とし、シフトレジスタD0の出力とシフトレジスタD4の出力とで排他的論理和演算を行い、その結果をシフトレジスタD8に戻す構成としてある。

【0033】

各シフトレジスタD0～D8にセットされた初期値をデータI0～I8とすると、タイミングt=0における出力O0はデータI0となる。そして、データI0が出力されるときに、シフトレジスタD8に入力されるデータは、データI0とデータI4の排他的論理和結果となる。また、タイミングt=1の出力O1はデータI1となり、そのときシフトレジスタD8に入力されるデータは、データI1とデータI5の排他的論理和結果となる。以下順にシフトレジスタにセットされた値が順にシフトされて出力されると共に、シフトレジスタD0の出力とシフトレジスタD4の出力とで排他的論理和演算が繰り返される。

【0034】

このことから、例えば時刻t=0～19の間の出力コードO0～O19は、初期値I0～I8を基準にした排他的論理和演算によって表すことができる。本例におけるPNデコーダ132は、このことを踏まえた上で構成したものである。図4は、本例のPNデコーダ132の構成の原理を示した図であり、ここでは9ビットの初期値I0～I8が平行に入力したとき、その9ビットデータを、論理演算で展開して、20ビットのPN符号O0～O19を一挙に生成させる構成としてある。

【0035】

図4に示した本例のPNデコーダでは、入力データI0～I8は、それぞれバッファB1～B9を介して出力させて、出力データO0～O8としてある。また、2つの入力データを、Ex-ORゲート回路EX1～EX5で排他的論理和演算することによって、出力データO9～O13としてある。また、入力データとEx-ORゲート回路EX1～EX4の出力とを、Ex-ORゲート回路EX6～EX

9で排他的論理和演算することによって、出力データO14～O17としてある。さらに、Ex-ORゲート回路EX1の出力と、Ex-ORゲート回路EX5の出力とを、Ex-ORゲート回路EX10で排他的論理和演算することによって、出力データO18としてあり、Ex-ORゲート回路EX2の出力と、Ex-ORゲート回路EX6の出力とを、Ex-ORゲート回路EX11で排他的論理和演算することによって、出力データO19としてある。なお、バッファB1～B9は、各Ex-ORゲート回路での演算によるタイミングの遅延を補正するためのものである。

【0036】

この図4に示す構成のPNデコーダに、図2に示す端子131から9ビットの初期値CDE D_{init} が供給されると、19ビットのPN符号である拡散コードが生成される。実際のPNデコーダ132では、マッチドフィルタ103、104が備えるシフトレジスタの段数 m に相当する m ビットの拡散コード（レプリカコード）MFCを一挙に生成させる構成としてある。例えば、シフトレジスタの段数 $m=256$ とすると、数ビットの初期値を入力させることで、256ビットの拡散コードを、このPNデコーダ132で一挙に生成させて、その256ビットの拡散コード（レプリカコード）で、1単位の期間の間、マッチドフィルタ103、104で相関検出処理を実行させる。

【0037】

ところで、レプリカコードMFCは、拡散コードの部分コードである。拡散コードとの相関を検出する上では、拡散コードの所望位相（ここでの位相とは1周期内の所望の単位）の部分コードを発生できることが望まれる。ところで、PNデコーダのコード発生原理を考えると、出力コードはシフトレジスタ内の値によって決まる。従って、所定時刻におけるシフトレジスタ内の値を算出し、これをPNデコーダの入力とすれば、容易に所望位相の部分コードを発生させることができる。この所定時刻におけるシフトレジスタ内の値を算出するのが、データデコーダ133の役割である。

【0038】

ここでデータデコーダ133におけるデータ演算の原理を説明する。一般に所

定時刻 $t = X$ におけるシフトレジスタ内の値は、シフトレジスタの初期値と当該シフトレジスタのシフト量に応じた行列との排他的論理和演算で求めることができる。例えば発生するコードをPN95とすると、 $t = 9$ におけるシフトレジスタ内の値 $I 8' \sim I 0'$ は、次式

【0039】

【数1】

$$\begin{bmatrix} I 0' \\ I 1' \\ I 2' \\ I 3' \\ I 4' \\ I 5' \\ I 6' \\ I 7' \\ I 8' \end{bmatrix} = \begin{bmatrix} I 0 \oplus I 4 \\ I 1 \oplus I 5 \\ I 2 \oplus I 6 \\ I 3 \oplus I 7 \\ I 4 \oplus I 8 \\ I 0 \oplus I 4 \oplus I 5 \\ I 1 \oplus I 5 \oplus I 6 \\ I 2 \oplus I 6 \oplus I 7 \\ I 3 \oplus I 7 \oplus I 8 \end{bmatrix}$$

$$= \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 \end{bmatrix} \oplus \begin{bmatrix} I 0 \\ I 1 \\ I 2 \\ I 3 \\ I 4 \\ I 5 \\ I 6 \\ I 7 \\ I 8 \end{bmatrix} \dots (1)$$

【0040】

に示すように表される。この変換行列を、次式

【0041】

【数2】

$$A = \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 \end{bmatrix} \dots (2)$$

【0042】

に示すようにAとすると、この変換行列Aは、基準時刻から時刻「9」だけ経過したときのシフトレジスタ内の値を求めるための行列である。従って、時刻 $t = 18$ のときのシフトレジスタ内の値 $I 8'' \sim I 0''$ を求める場合には、次式、

【0043】

【数3】

$$\begin{aligned}
 \begin{bmatrix} I 0'' \\ I 1'' \\ I 2'' \\ I 3'' \\ I 4'' \\ I 5'' \\ I 6'' \\ I 7'' \\ I 8'' \end{bmatrix} &= \begin{bmatrix} I 0 \oplus I 8 \\ I 0 \oplus I 1 \oplus I 4 \\ I 1 \oplus I 2 \oplus I 5 \\ I 2 \oplus I 3 \oplus I 6 \\ I 3 \oplus I 4 \oplus I 7 \\ I 4 \oplus I 5 \oplus I 8 \\ I 0 \oplus I 4 \oplus I 5 \oplus I 6 \\ I 1 \oplus I 5 \oplus I 6 \oplus I 7 \\ I 2 \oplus I 6 \oplus I 7 \oplus I 8 \end{bmatrix} \\
 &= \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 \end{bmatrix} \oplus \begin{bmatrix} I 0 \oplus I 4 \\ I 1 \oplus I 5 \\ I 2 \oplus I 6 \\ I 3 \oplus I 7 \\ I 4 \oplus I 8 \\ I 0 \oplus I 4 \oplus I 5 \\ I 1 \oplus I 5 \oplus I 6 \\ I 2 \oplus I 6 \oplus I 7 \\ I 3 \oplus I 7 \oplus I 8 \end{bmatrix} = A \oplus \begin{bmatrix} I 0' \\ I 1' \\ I 2' \\ I 3' \\ I 4' \\ I 5' \\ I 6' \\ I 7' \\ I 8' \end{bmatrix} \\
 &\dots (3)
 \end{aligned}$$

【0044】

に示すように、今度は $t = 9$ のときのシフトレジスタ内の値 $I 8' \sim I 0'$ を初期値とした変換行列Aによる演算によって求めることができる。

【0045】

従ってデータデコーダとしてはこの変換行列に対応する排他的論理和演算を行えば良く、時刻「9」だけ経過したときのシフトレジスタ内の値を求めるようなデータデコーダ105は、図5に示すように、Ex-ORゲート回路EX20～EX26のみによって構成することができる。

【0046】

かくして、上述したデータデコーダ133は、この原理に基づいてEx-ORゲ

ート回路のみによって構成されたものであり、ある時刻の初期値 $CDE D_{init}$ を入力として、排他的論理和演算を行うことにより、次の位相（単位）の PN コードの初期値を発生することができる。このようなデータデコーダ 1 3 3 を設けて、次の単位の初期値を次々発生させる構成として、相関検出発生器 1 3 0 で PN 符号を発生させることで、1 単位毎に m ビットずつ位相がシフトした拡散コードを、この相関検出発生器 1 3 0 が出力するようになる。

【0 0 4 7】

図 6 は、このようにして相関検出発生器 1 3 0 で発生された拡散コードと受信データとの相関を検出するマッチドフィルタ 1 0 3, 1 0 4 のそれぞれの構成を示したものである。

【0 0 4 8】

図 6 に示したマッチドフィルタは、受信データを $S 1$ とし、クロックを $CLK 1$ とし、相関検出発生器 1 3 0 から供給される拡散コードを $C 1$ としたとき、受信データ $S 1$ は、所定段数のシフトレジスタ 2 0 1 に供給されて、クロック $CLK 1$ に同期して、各段のレジスタ 2 0 1 a ~ 2 0 1 n に 1 ビットずつ順にセットされる。このシフトレジスタ 2 0 1 の段数が、本例の場合には m 段である。

【0 0 4 9】

そして、各段のレジスタ 2 0 1 a ~ 2 0 1 n にセットされたデータは、検出乗算器 2 0 2 に供給されて、各ビット毎に個別の乗算器 2 0 2 a ~ 2 0 2 n にセットされた係数値が乗算される。この各乗算器 2 0 2 a ~ 2 0 2 n にセットされる係数値が、 m ビットの拡散コードの値である。具体的には、 m ビットの拡散コード $C 1$ の 1 ビット目を $T 1$ 、2 ビット目を $T 2$ 、…… m ビット目を $T m$ としたとき、図 6 に示すように、各ビットの値が乗算器 2 0 2 a ~ 2 0 2 n に係数値としてセットされて、 m ビットの受信データと乗算され、その結果の総和が加算器 2 0 3 で求められて、出力される。その総和の出力がマッチドフィルタの出力となる。各乗算器 2 0 2 a ~ 2 0 2 n にセットされる係数値は、受信データが m ビット変化する毎に、次の単位の拡散コードによる係数値に変化する。

【0 0 5 0】

図 7 は、本例の同期検出装置で相関検出を行う状態の一例を示した図である。

この例では、検出装置内のマッチドフィルタが備えるシフトレジスタの段数が m であり、1回（1単位）のサーチ可能範囲が m チップとなる。マッチドフィルタ内のシフトレジスタの状態としては、図7Aに示すクロックに同期して、図7Bに示すように1チップずつ進んで行く。ここで、マッチドフィルタに入力される m ビットの相関係数（即ち相関係数発生器の出力：拡散コードのレプリカコード）は、図7Cに示すように、 m チップの1回（1単位）のサーチ可能範囲が進む毎に、 m チップだけ位相が進んだ値に更新される。

【0051】

このようにして各マッチドフィルタで相関検出が行われ、最初の m チップのサーチ範囲では、図7Dに示すマッチドフィルタの出力（実際には図1に示す加算器109の出力）が、図7Eに示すメモリ112のアドレスに書込まれる。この最初の1単位の期間では、図7Fに示すようにメモリ112から読み出される値は0であり、加算器111でマッチドフィルタの出力に加算される値は0である。従って、メモリ112への書込みは、図7Dの加算器109の出力が、図7Gに示すようにそのままメモリ112に書込まれる。

【0052】

ここで、最初の1単位の m チップのサーチ期間内では、例えばあるタイミング、即ち最初のタイミングを0チップとしたとき m チップのときに、マッチドフィルタの出力としての相関エネルギーが極大値になったとする。

【0053】

そして次の1単位の m チップのサーチ期間になると、マッチドフィルタに入力される m ビットの相関係数（レプリカコード）は、図7Cに示すように、最初の値MFC（0）から m チップだけ位相が進んだ値MFC（ m ）に更新し、マッチドフィルタ内では、その更新された値とシフトレジスタにセットされる値とが比較される。

【0054】

このときには、メモリ112には直前の1単位の期間に書込まれた値が保持されており、各チップの相関値を書込ませる際には、 m チップ前に書込まれた値をメモリ112で読み出して、その読み出した値を加算器111で相関値に加算し

て、図 7 G に示すようにメモリ 1 1 2 に書込ませるようにしてある。従って、本例の同期検出装置によると、 m チップ周期で検出された相関値が累積加算されることになり、相関の検出状態に乱れがない場合には、各単位のサーチ範囲内で相関の極大値が検出されるタイミングも同じであり、例えば図 7 の例では、 t チップのときから、 m チップ周期で極大値が検出され続ける。なお、拡散コードの 1 周期（又は所定の複数周期）が経過した時点で、メモリ 1 1 2 での累積加算を停止させて、1 周期単位（又は複数周期単位）で図 7 に示す処理を繰り返す。

【 0 0 5 5 】

このように本例の同期検出装置によると、拡散コードの 1 周期内で複数回相関値を検出することができ、それだけ拡散コードの同期タイミングの検出精度を向上させることができる。検出される相関エネルギーの極大値は、複数回検出した値を累積加算した値であるので、非常に精度の高い同期検出が行える。また、同期検出のための構成として、マッチドフィルタが備えるシフトレジスタが段数の少ないものを使用でき、構成を簡単にすることができる。さらに、相関係数発生器内で m チップずつ位相を進めたレプリカコードを発生させる構成についても、上述したように所定ビット数の初期値を与えた後は、その初期値から論理演算されたデータに基づいて、次々に発生させることができ、初期値を記憶する記憶手段と、その初期値を論理演算する回路とを用意するだけで簡単に実現できる。また、受信する基地局毎に拡散コードが異なる場合には、それぞれの基地局毎の拡散コードの数ビットの初期値だけを記憶しておけば良く、受信する拡散コードが多数ある場合でも、記憶するデータを少なくすることができる。

【 0 0 5 6 】

なお、本例の同期検出装置は、既に述べたように、ある程度の範囲まで推定された同期タイミングから、さらに正確な同期タイミングを検出する処理を行うものであり、その推測される同期タイミングの範囲に応じて、1 単位のサーチ範囲である m チップの具体的な数を設定すれば良い。

【 0 0 5 7 】

次に、本発明の第 2 の実施の形態を、図 8 を参照して説明する。

【 0 0 5 8 】

本例においても、所定の拡散コードで拡散されたデータが基地局から伝送されるCDMA方式の無線伝送システムに適用される受信端末装置において、その拡散コードのタイミングを検出する同期検出を行う同期検出装置としたものである。本例の場合にも、基地局から出力される拡散コードのある程度の位相範囲（即ち同期タイミングが存在する範囲）は、別の処理で推定できているものとする。

【0059】

図8は、本例の同期検出装置の構成を示す図である。入力端子301には、所定のチャンネル（周波数）の受信信号を検波しデジタル化した同相成分のデータ D_i が得られ、入力端子302には、同じチャンネルの直交成分のデータ D_q が得られる。このデータ D_i 及び D_q をマッチドフィルタ303及び304に供給する。

【0060】

マッチドフィルタ303及び304は、所定の拡散コードで拡散されたCDMA方式の受信データとの相関を検出するための回路であり、相関係数発生器320から供給される同相成分、直交成分の拡散コードのレプリカ C_i 、 C_q を、各マッチドフィルタ303及び304に供給する。そして、上述した第1の実施の形態で説明したマッチドフィルタと同様の原理で、シフトレジスタにセットされた受信データと、相関係数発生器から供給される拡散コードのレプリカとの相関の検出処理が行われる。

【0061】

ここで本例のマッチドフィルタ303及び304は、拡散コードの周期を T とすると、マッチドフィルタ303、304が備えるシフトレジスタの段数 m よりも周期 T が大きな値としてある。そして、相関係数発生器320で生成されて供給されるレプリカ C_i 、 C_q については、クロックが m 回発生する毎（即ち m チップ毎）に、 m チップ位相進めたものに順に変化させるようにしてある。その具体的な処理は、既に第1の実施の形態で説明した相関係数発生器130と同じであり、例えば図2に示した構成とされる。

【0062】

そして、マッチドフィルタ303で、受信データ D_i とレプリカコード C_i と

の相関値 $\Sigma^m D_i C_i$ と、受信データ D_i とレプリカコード C_q との相関値 $\Sigma^m D_i C_q$ とを得る。また、マッチドフィルタ304で、受信データ D_q とレプリカコード C_i との相関値 $\Sigma^m D_q C_i$ と、受信データ D_q とレプリカコード C_q との相関値 $\Sigma^m D_q C_q$ とを得る。

【0063】

マッチドフィルタ303で得られた相関値 $\Sigma^m D_i C_i$ は、加算器305を介してメモリ309に供給して、一時記憶させる。マッチドフィルタ303で得られた相関値 $\Sigma^m D_i C_q$ は、加算器306を介してメモリ310に供給して、一時記憶させる。マッチドフィルタ304で得られた相関値 $\Sigma^m D_q C_q$ は、加算器307を介してメモリ311に供給して、一時記憶させる。マッチドフィルタ304で得られた相関値 $\Sigma^m D_q C_i$ は、加算器308を介してメモリ312に供給して、一時記憶させる。メモリ309～312は、1つのメモリの記憶領域を分割して4つのメモリとして作動するようにしても良い。

【0064】

各メモリ309～312に一時記憶されたデータは、 m チップ遅れて読み出される。その遅れて読み出されたデータは、各メモリ309～312の前段に接続された加算器305～308に戻されて、累積加算される。

【0065】

そして、メモリ309から読み出された相関値の累積加算値 $\Sigma^{m*n} D_i C_i$ と、メモリ311から読み出された相関値の累積加算値 $\Sigma^{m*n} D_q C_q$ とを、加算器313に供給して、両相関値の加算値 $(\Sigma^{m*n} D_i C_i + \Sigma^{m*n} D_q C_q)$ を得る。この加算値が同相成分の逆拡散出力となる。この逆拡散出力は、二乗回路315に供給して実数化し、加算器317に供給する。

【0066】

また、メモリ310から読み出された相関値の累積加算値 $\Sigma^{m*n} D_i C_q$ と、メモリ312から読み出された相関値の累積加算値 $\Sigma^{m*n} D_q C_i$ とを、減算器314に供給して、両相関値の差の値 $(\Sigma^{m*n} D_i C_q - \Sigma^{m*n} D_q C_i)$ を得る。この差の値が直交成分の逆拡散出力となる。この逆拡散出力は、二乗回路316に供給して実数化し、加算器317に供給する。

【 0 0 6 7 】

加算器 3 1 7 では、供給される両信号を加算して 1 系統の信号として、相関エネルギー E_{m*n} が求められる。この加算器 3 1 7 が出力する相関エネルギー E_{m*n} を、メモリ 3 1 8 に供給し、各タイミング毎に相関エネルギーの値を別のアドレスに記憶させる。そして、例えばこの同期検出装置の検出動作を制御するコントローラ 3 1 9 が、このメモリ 3 1 8 に記憶された相関エネルギーの中の極大値を判断し、その判断したタイミングを、受信信号を処理する基準となるタイミングと設定する。なお、相関係数発生器 3 2 0 で拡散コードのレプリカを発生させるタイミングの設定や、各メモリ 3 0 9 ~ 3 1 2 での書込み、読出しの制御についても、このコントローラ 3 1 9 が制御する。

【 0 0 6 8 】

このように構成したことで、本例の同期検出装置は、上述した第 1 の実施の形態で説明した同期検出装置の場合と同様に、拡散コードの 1 周期内で複数回、相関が検出されることになり、迅速かつ良好に同期検出を行うことができる。即ち、第 2 の実施の形態の場合には、タイミング図を参照して同期検出状態を説明しないが、基本的な動作は第 1 の実施の形態で説明した図 7 のタイミング図と同様になり、最終的に求められた相関エネルギーを累積加算してメモリに書込ませるか、マッチドフィルタが出力する振幅値を直接累積加算させてから、相関エネルギーを求めるかの違いであり、同期検出が行われるタイミングや回数については同じである。

【 0 0 6 9 】

そして本例の場合には、マッチドフィルタの出力を累積加算した振幅値から、相関エネルギーが計算されることになり、より精度の高い同期検出が行える。即ち、構成的には第 1 の実施の形態で説明した図 1 の同期検出装置の方が簡単であるが、第 2 の実施の形態で説明した図 8 に示す同期検出装置の場合には、相関エネルギーの計算前の振幅値の段階で累積加算されるので、より正確な相関エネルギーの計算を行うことができ、検出精度をより向上させることが可能になる。

【 0 0 7 0 】

なお、上述した実施の形態では、セルラ方式の無線通信端末において、CDM

A方式で所定の拡散コードにより拡散された信号を受信する受信装置に適用される同期検出装置としたが、他の方式の無線システムにおいて、同様に拡散された信号から同期タイミングを検出する場合にも適用できるものである。

【0071】

【発明の効果】

本発明によると、拡散コードの1周期内の所定の幅の時間毎に受信信号とレプリカコードとの相関値の検出が行え、拡散コードの1周期内で複数回相関を検出できるようになり、簡単な構成で、拡散コードの1周期よりも短い周期で正確な同期検出が行えるようになる。

【0072】

この場合、マッチドフィルタで検出された相関値を、所定の幅の時間で周期的に加算して保持する記憶手段を備えて、記憶手段の記憶データから相関エネルギーを検出するようにしたことで、記憶手段を使用して正確に相関エネルギーを検出できるようになる。

【0073】

また、マッチドフィルタの出力を、所定の時間遅延させ、その遅延させた信号とマッチドフィルタの出力とを加算する加算手段を備えて、この加算手段により加算された信号から相関値を検出するようにしたことで、より精度の高い相関値の検出が行えるようになる。

【0074】

また、相関係数発生手段は、初期値を与えることで、その初期値からの擬似ランダム系列を生成させる擬似ランダム系列生成手段を備えて、擬似ランダム系列生成手段で生成された擬似ランダム系列をレプリカコードとして供給するようにしたことで、同期検出のためのレプリカコード生成処理が簡単に行えるようになる。

【0075】

また、相関係数発生手段は、所定の擬似ランダム系列を生成させるレジスタと、レジスタにより生成された擬似ランダム系列を、所定の演算により位相シフトさせる演算手段とを備えて、レジスタが出力する擬似ランダム系列及び演算手段

が出力する位相シフトされた擬似ランダム系列をレプリカコードとして供給するようにしたことで、多くのビット数の擬似ランダム系列を一挙に生成させることができ、同期検出のための多ビットのレプリカコード生成処理が、簡単かつ迅速に行えるようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による同期検出装置の構成例を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態による相関係数発生器の構成例を示すブロック図である。

【図 3】

P N デコーダの構成例を示すブロック図である。

【図 4】

P N デコーダの構成例を示すブロック図である。

【図 5】

データデコーダの構成例を示すブロック図である。

【図 6】

マッチドフィルタの構成例を示すブロック図である。

【図 7】

本発明の第 1 の実施の形態による動作例を示すタイミング図である。

【図 8】

本発明の第 2 の実施の形態による同期検出装置の構成例を示すブロック図である。

【図 9】

セルラ無線通信システムの構成例を示す説明図である。

【図 1 0】

従来の同期検出装置の構成例を示すブロック図である。

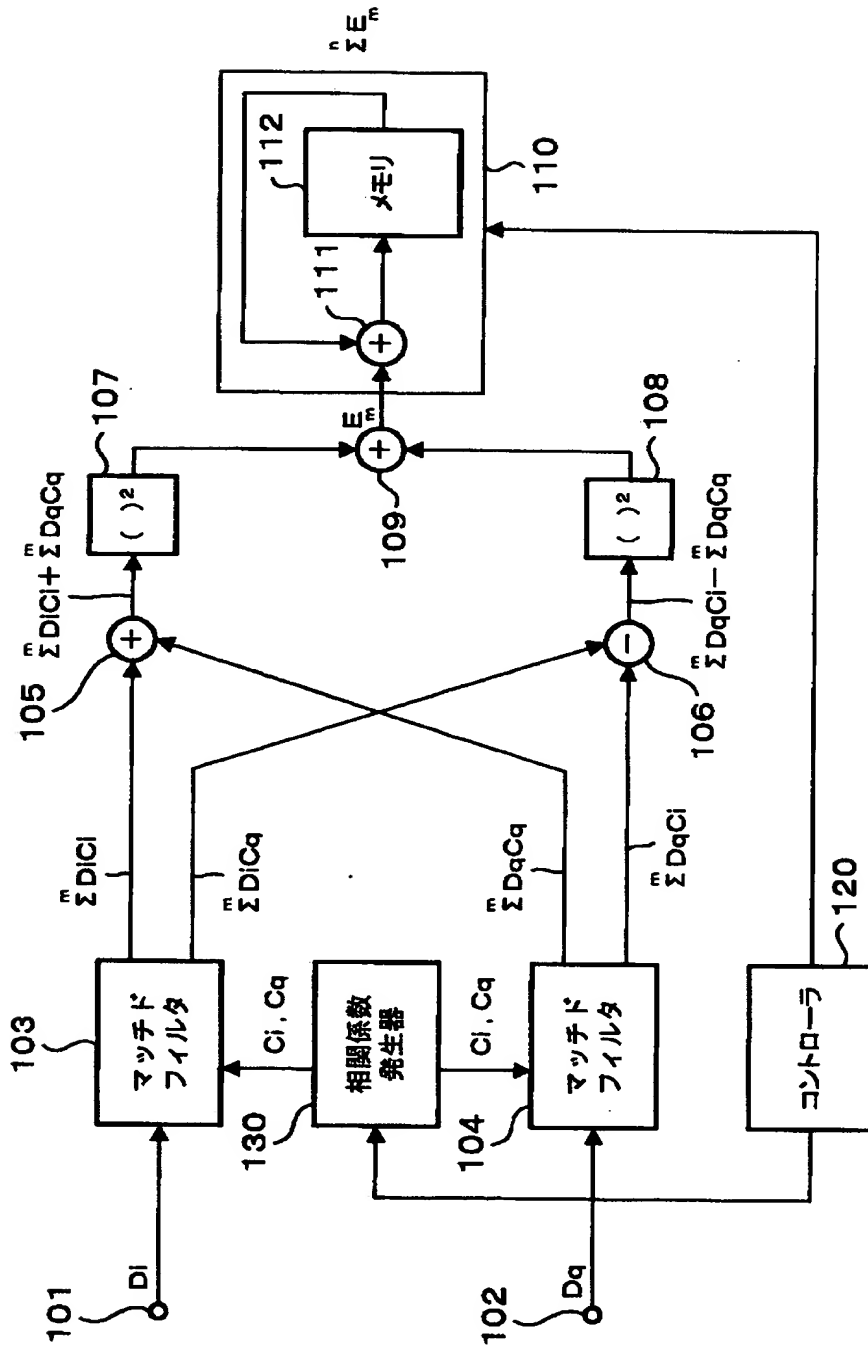
【図 1 1】

図 1 0 の構成による動作例を示すタイミング図である。

【符号の説明】

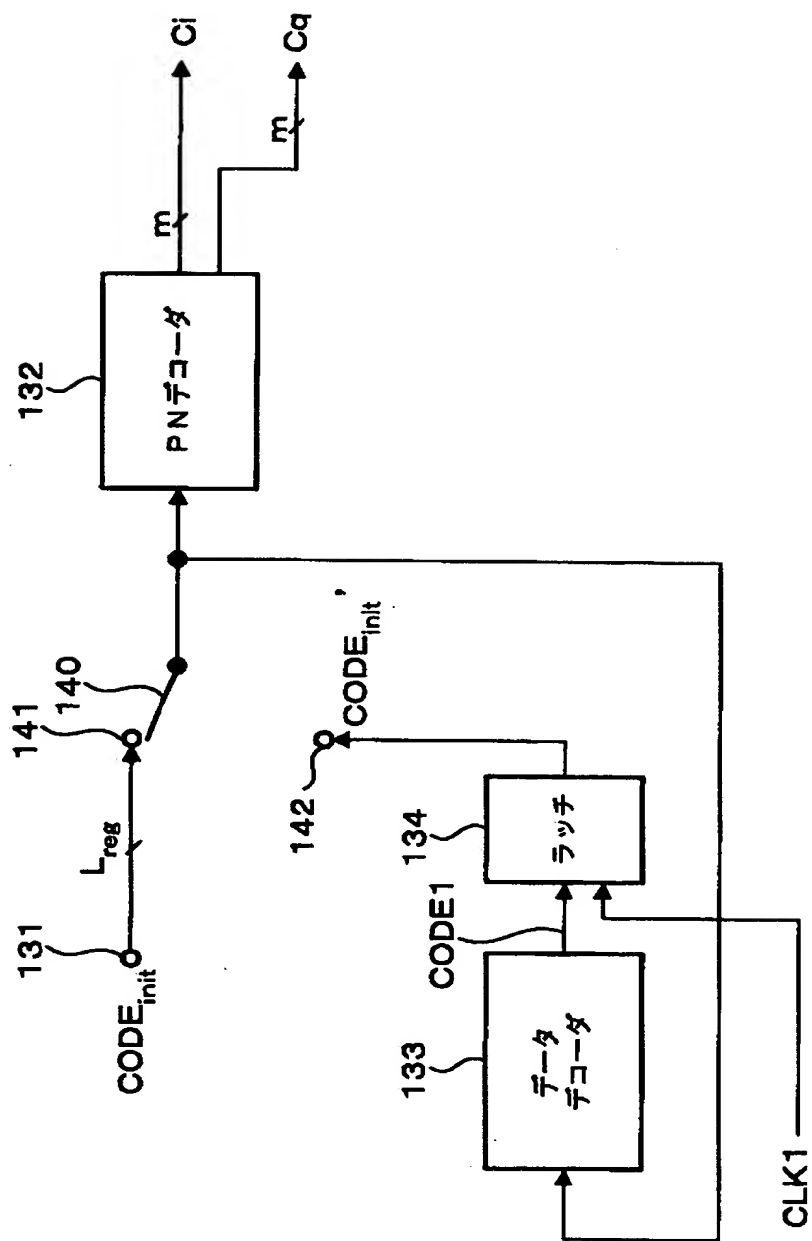
1 0 1 …受信データ（同相成分）入力端子、1 0 2 …受信データ（直交成分）入力端子、1 0 3, 1 0 4 …マッチドフィルタ、1 0 5 …加算器、1 0 6 …減算器、1 0 7, 1 0 8 …二乗回路、1 1 0 …周期加算部、1 1 1 …加算器、1 1 2 …メモリ、1 2 0 …コントローラ、1 3 0 …相関係数発生器、1 3 1 …初期データ入力端子、1 3 2 …PNデコーダ、1 3 3 …データデコーダ、1 3 4 …ラッチ回路、2 0 1 …シフトレジスタ、2 0 2 …係数乗算器、2 0 3 …加算器、3 0 1 …受信データ（同相成分）入力端子、3 0 2 …受信データ（直交成分）入力端子、3 0 3, 3 0 4 …マッチドフィルタ、3 0 5, 3 0 6, 3 0 7, 3 0 8 …加算器、3 0 9, 3 1 0, 3 1 1, 3 1 2 …メモリ、3 1 3 …加算器、3 1 4 …減算器、3 1 5, 3 1 6 …二乗回路、3 1 8 …メモリ、3 1 9 …コントローラ、3 2 0 …相関係数発生器

【書類名】 図面
【図 1】



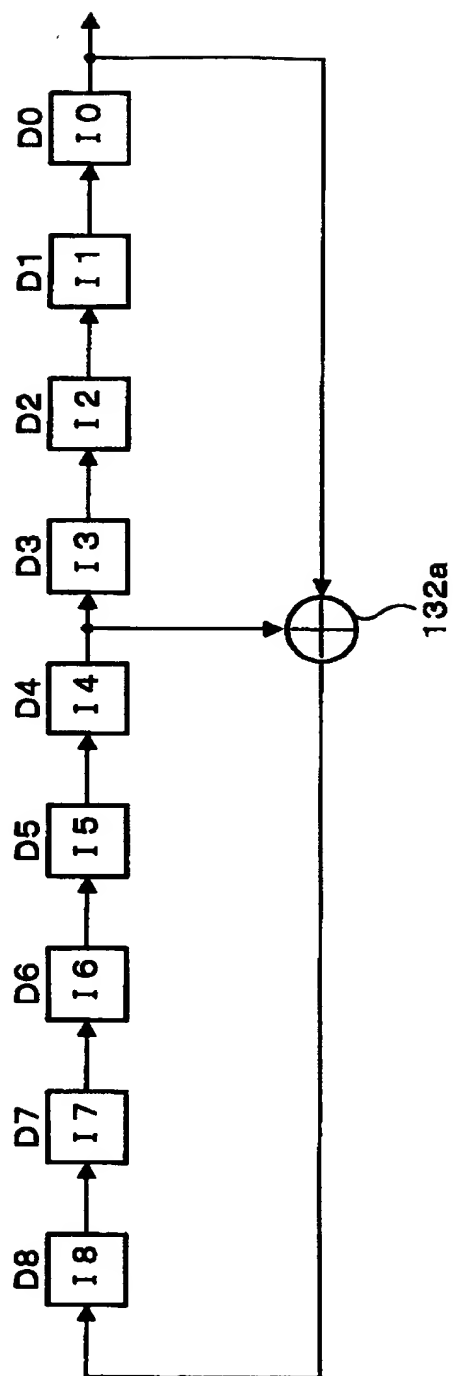
第 1 の実施の形態による 4 相位相変調用同期検出装置の構成例

【図 2】



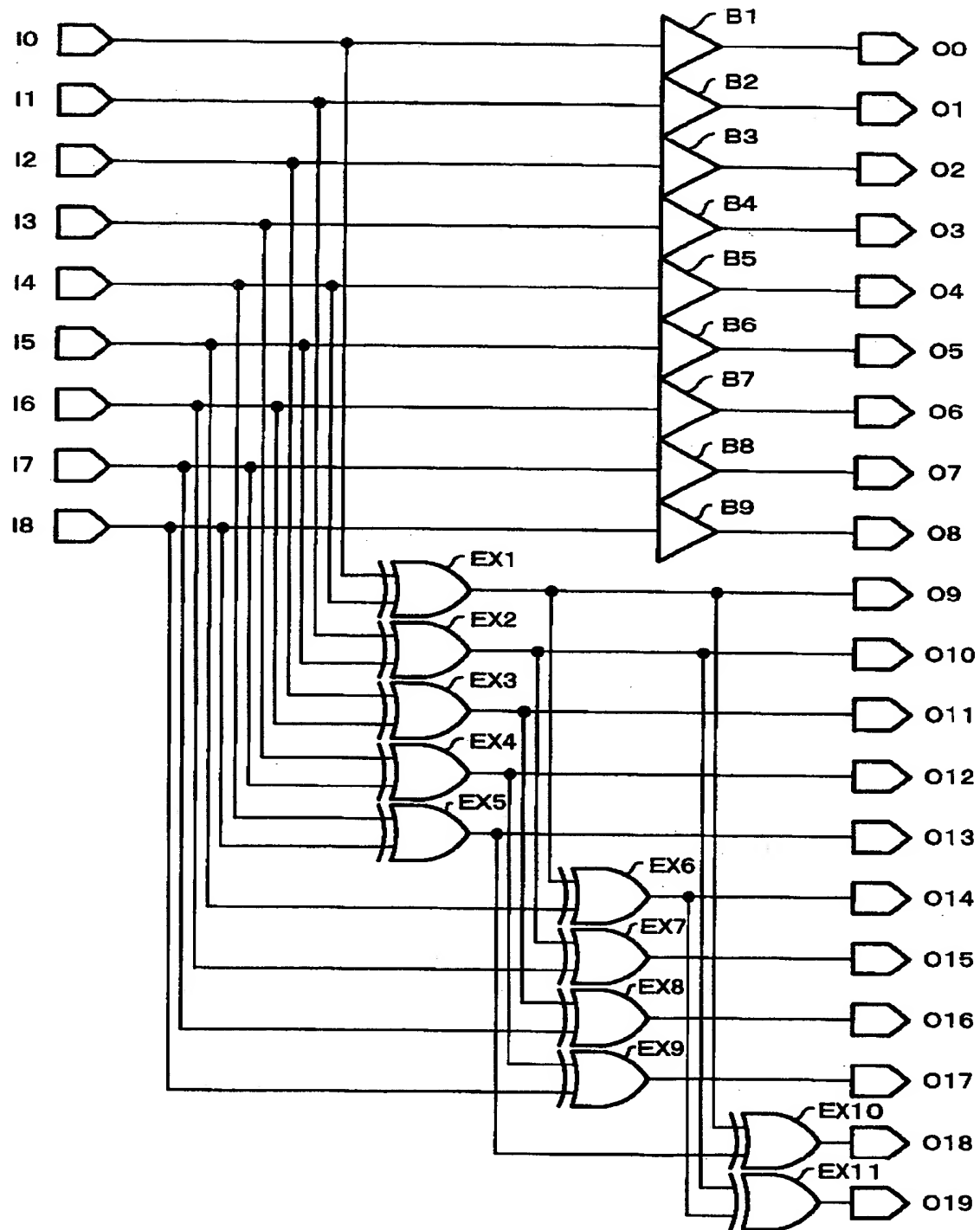
相関係数発生器の構成例

【図 3】



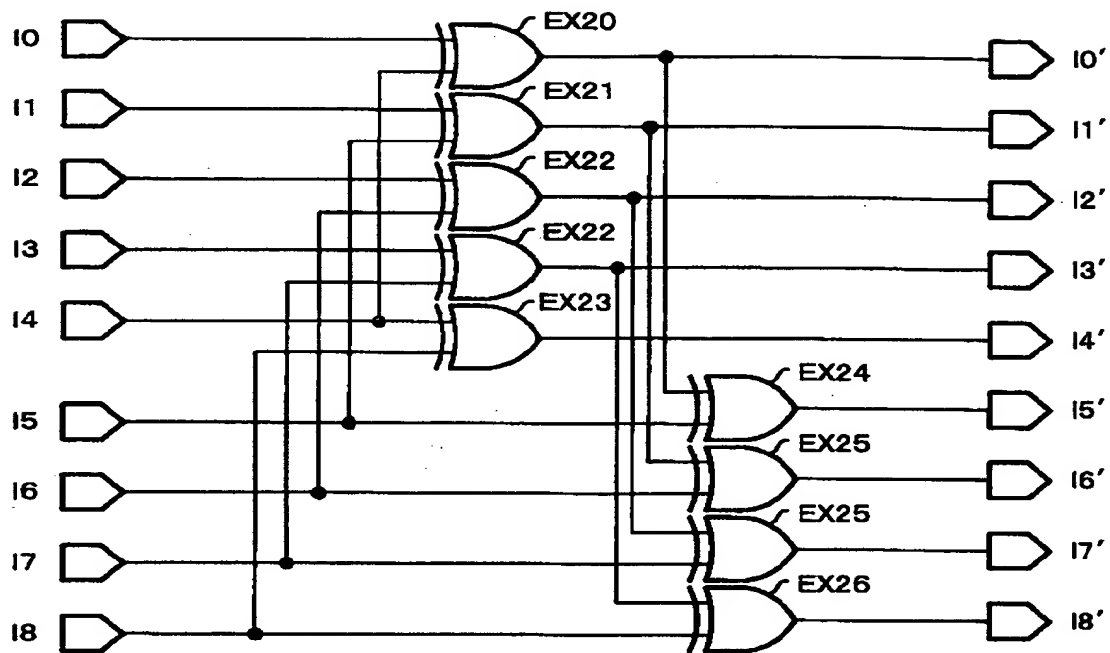
一般的なPNデコーダの構成

【図 4】



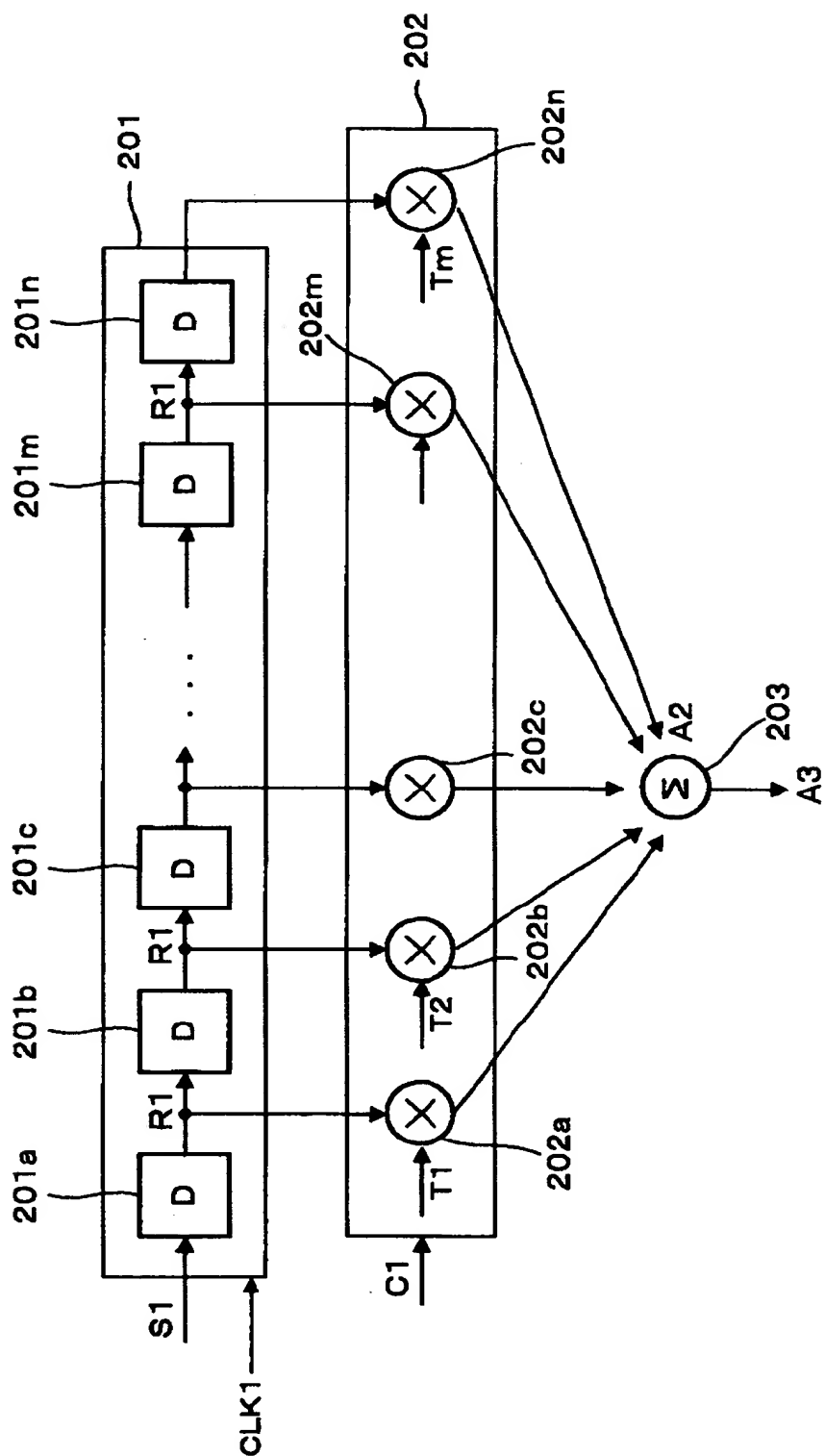
P Nデコーダの構成例

【図 5】



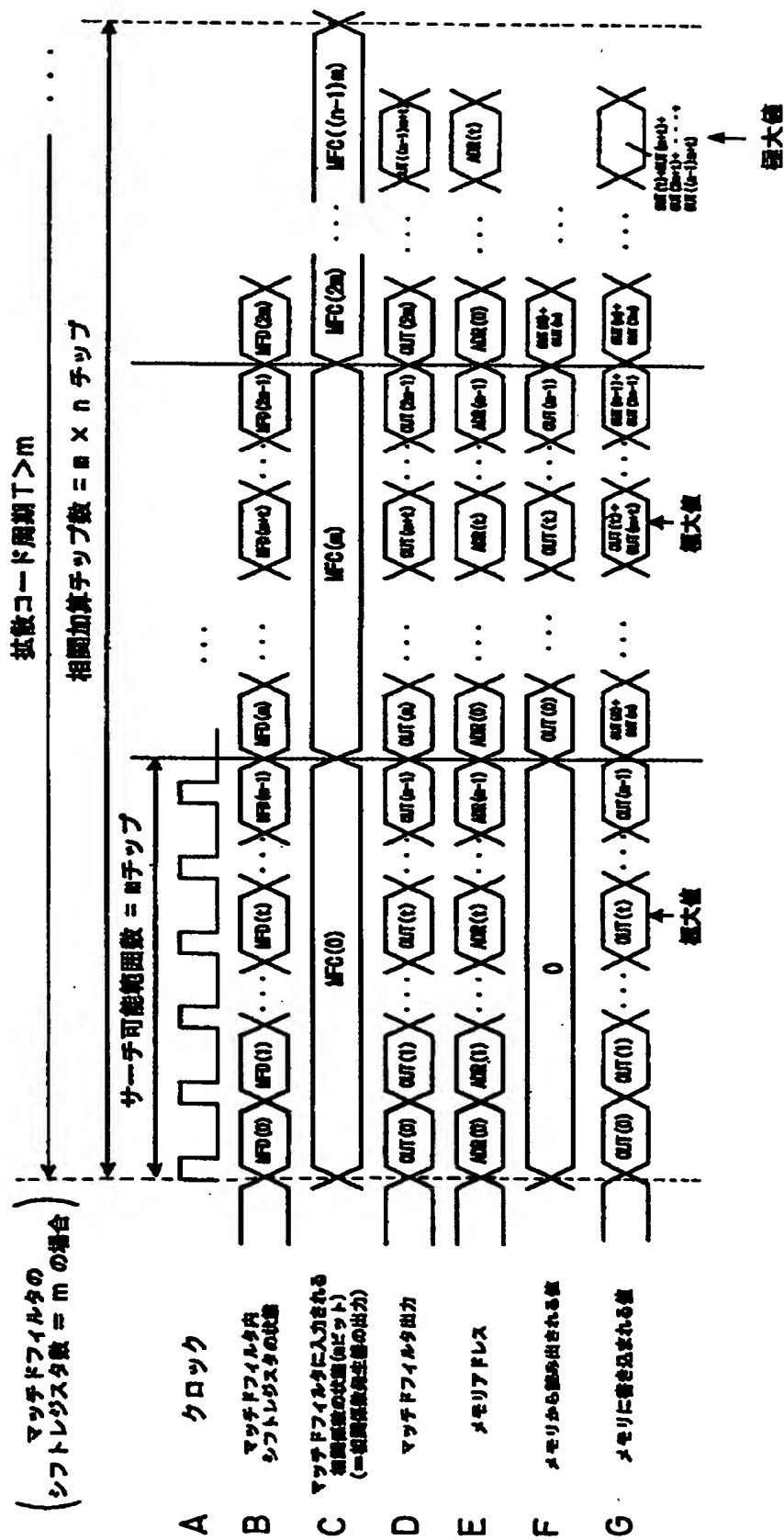
データデコーダの構成例

【図 6】



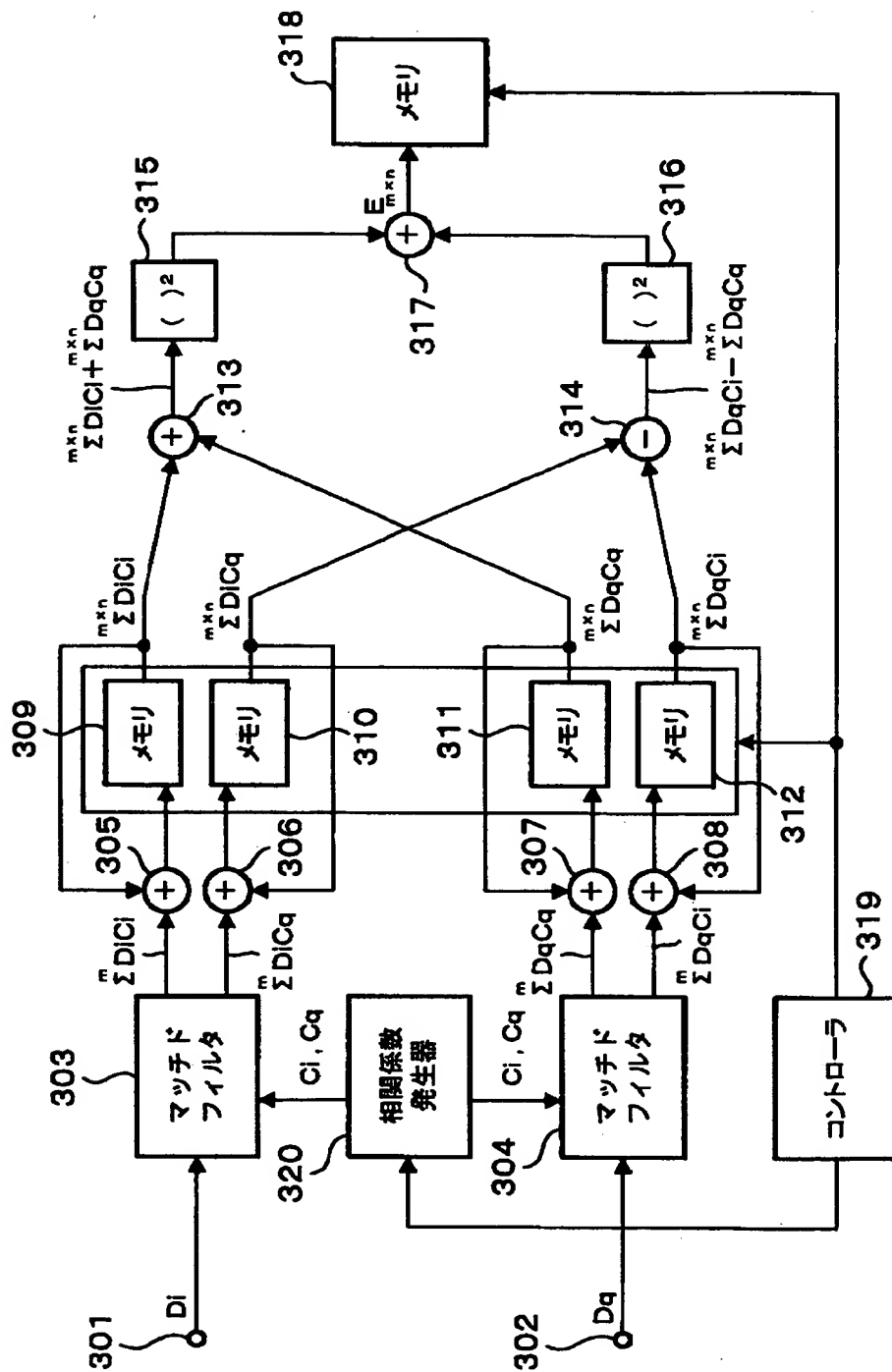
マッチドフィルタの構成例

【図 7】



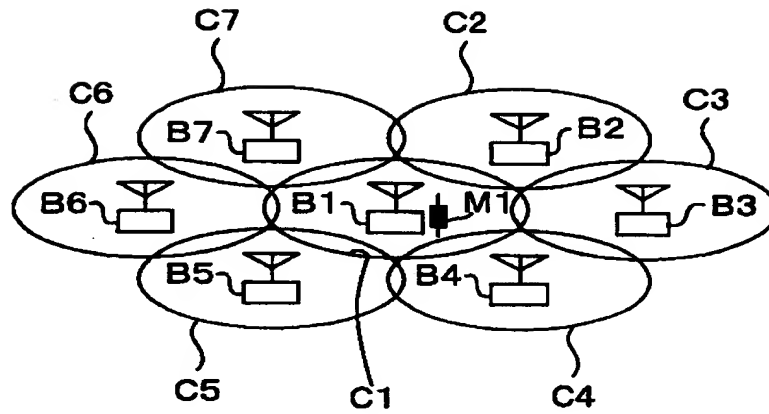
マッシュドフィルタ・相関係数発生器・メモリのタイミング例

【図 8】



第2の実施の形態による4相位相変調用同期検出装置の構成例

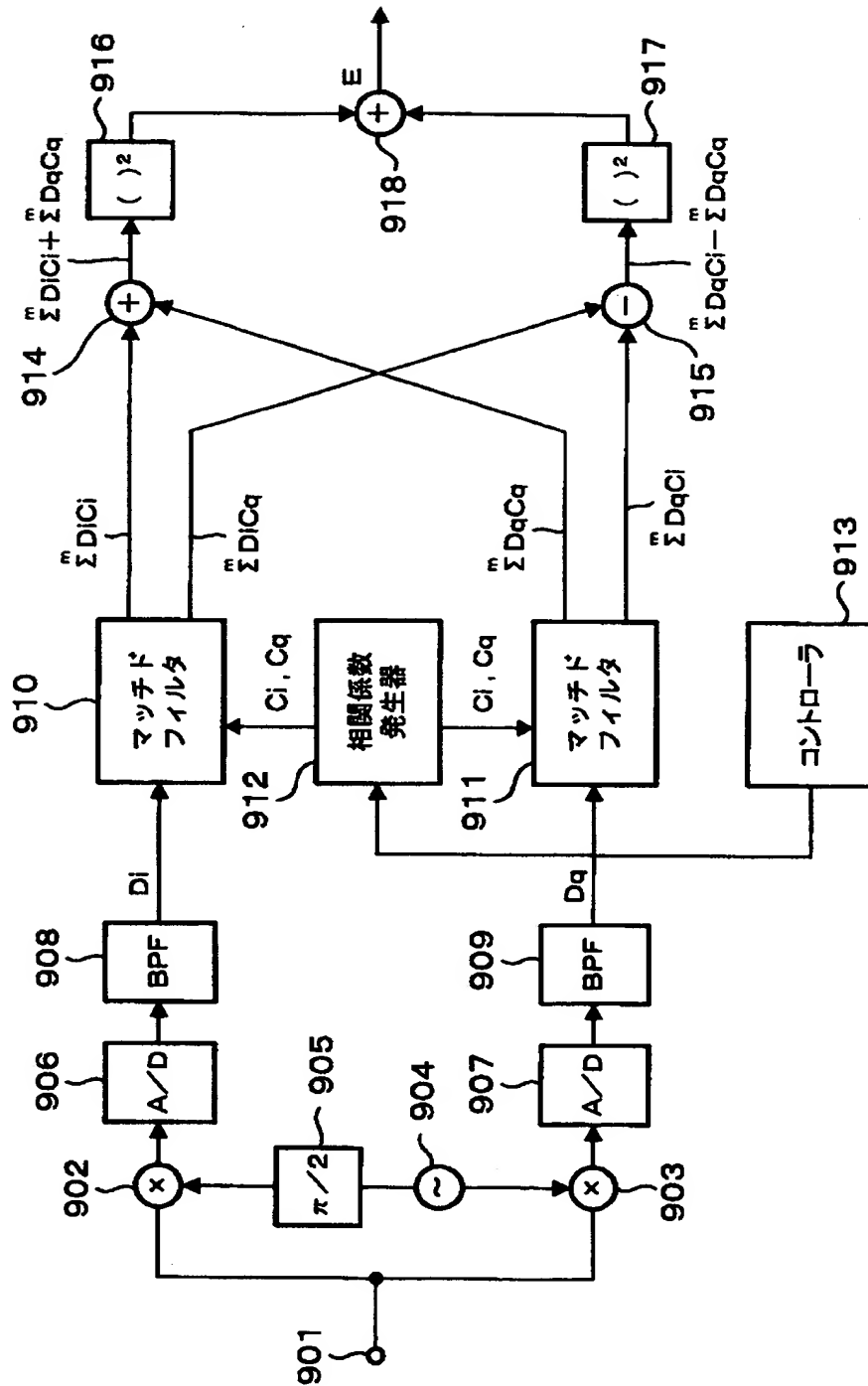
【図 9】



C1~C7 セル
B1~B7 基地局
M1 携帯電話機

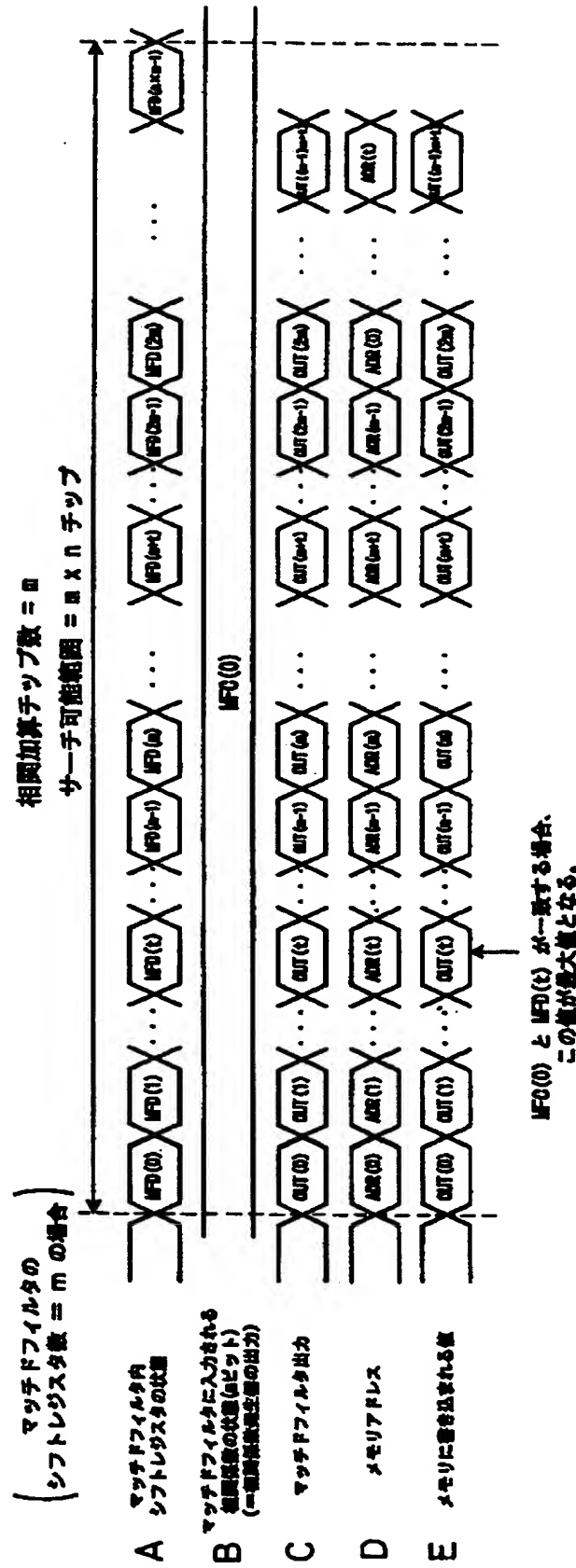
セルラー無線通信システム

【図 10】



従来の 4 相位相変調用マッチドフィルタを用いた同期検出装置の構成例

【図 1 1】



従来のマッチドフィルタ・相関係数発生器・メモリのタイミング例

【書類名】 要約書

【要約】

【課題】 所定の拡散コードで拡散されたCDMA方式の信号を受信して、マッチドフィルタを用いて相関検出を行う場合に、拡散コードの1周期内で複数回相関を検出できるようにする。

【解決手段】 受信信号に含まれる既知の所定長の拡散コードのタイミングを検出する同期検出装置において、所定長の拡散コードのレプリカコードを、所定の幅の時間毎に位相を進めながら分割して生成させる相関係数発生手段130と、相関係数発生手段により発生されたレプリカコードと受信信号との相関値の検出を所定の幅の時間毎に行うマッチドフィルタ103, 104とを備えた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社